

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-065144

(43)Date of publication of application : 06.03.1998

(51)Int.Cl.

H01L 27/15
H01L 21/331
H01L 29/73
H01S 3/18

(21)Application number : 08-222122

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 23.08.1996

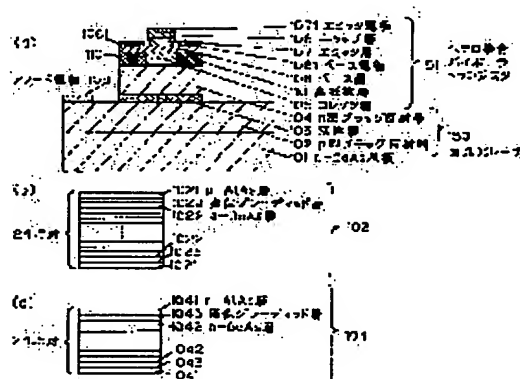
(72)Inventor : CHINO TOYOJI
MATSUDA KENICHI
KOBAYASHI YASUHIRO

(54) OPTOELECTRONIC INTEGRATED CIRCUIT AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a base-collector junction area and improve current cut-off frequency by increasing the resistance of the periphery of a collector layer, or a part of a base layer and the periphery of the collector layer by ion implantation or the like.

SOLUTION: For example, a p-type Bragg reflector 102 on an N-GaAs substrate 101, an active region 103 and an n-type Bragg reflector 104 construct a surface emission laser 150. Further, an n-GaAs collector layer 105 on the n-GaAs substrate 101, a p-GaAs base layer 106, an n-Al_{0.3}Ga_{0.7}As base electrode 1061, an emitter layer 107 and an emitter electrode 1071 construct a heterojunction bipolar transistor 151. A high resistance layer 110 is formed at the interface between the base layer 106 and the collector layer 105 and the periphery of the collector layer 105. This reduces a base-collector junction capacitance. The high resistance layer 110 is formed by, e.g. hydrogen ion implantation or oxygen ion implantation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-65144

(43) 公開日 平成10年(1998) 3月6日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/15			H 0 1 L 27/15	B
21/331			H 0 1 S 3/18	
29/73			H 0 1 L 29/72	
H 0 1 S 3/18				

審査請求 未請求 請求項の数 8 O L (全 11 頁)

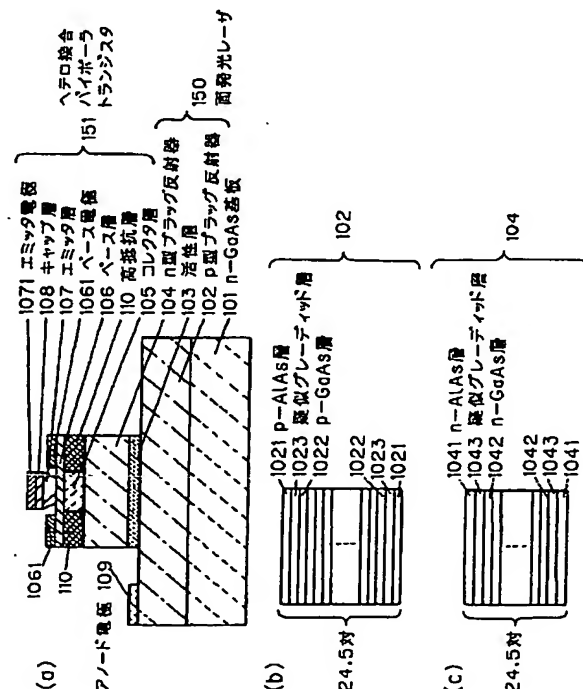
(21) 出願番号	特願平8-222122	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成8年(1996) 8月23日	(72) 発明者	知野 豊治 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(72) 発明者	松田 賢一 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(72) 発明者	小林 康宏 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(74) 代理人	弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 光電子集積回路およびその製造方法

(57) 【要約】

【課題】 面発光レーザとヘテロ接合バイポーラトランジスタからなる光電子集積回路において、高速で面発光レーザを駆動する構造を提供する。

【解決手段】 面発光レーザ150とヘテロ接合バイポーラトランジスタ151とから構成される光電子集積回路において、コレクタ層105の周縁部に高抵抗層110を設けている。これにより、ベース・コレクタ接合面積を低減し、電流遮断周波数を向上させる。



【特許請求の範囲】

【請求項1】半導体基板と、

該半導体基板上に被着された半導体多層膜を有する垂直共振器型面発光レーザと、

該半導体基板上に被着された半導体多層膜を有するヘテロ接合バイポーラトランジスタとを備えた光電子集積回路において、

該ヘテロ接合バイポーラトランジスタの一部であるコレクタ層の周縁部が高抵抗化されている光電子集積回路。

【請求項2】前記コレクタ層の厚さが500nm以上である請求項1に記載の光電子集積回路。

【請求項3】前記高抵抗層がイオン注入法により形成されている請求項1または2に記載の光電子集積回路。

【請求項4】半導体基板と、

該半導体基板上に被着された半導体多層膜を有する垂直共振器型面発光レーザと、

該半導体基板上に被着された半導体多層膜を有するヘテロ接合バイポーラトランジスタとを備えた光電子集積回路において、

該ヘテロ接合バイポーラトランジスタの一部であるコレクタ層の面積が該ヘテロ接合バイポーラトランジスタの一部であるベース層の面積より小さい光電子集積回路。

【請求項5】半導体基板と、

該半導体基板上に被着された半導体多層膜を有する垂直共振器型面発光レーザと、

該半導体基板上に被着された半導体多層膜を有するヘテロ接合バイポーラトランジスタとを備えた光電子集積回路において、

エミッタメサをエッチングにより形成する工程と、

該エミッタメサの下に該エミッタメサの面積よりも大きな面積を有するベースメサをエッチングにより形成する工程と、

該エミッタメサ及び該ベースメサを絶縁膜で被覆する工程と、

該絶縁膜を該ベースメサの面積よりも大きな面積に形成する工程と、

該絶縁膜をマスクとして、該コレクタ層の一部または全部、あるいは該コレクタ層と該コレクタ層の下にある層の一部または全部をエッチングにより除去する工程と、

露出した該コレクタ層側面から、該コレクタ層の周縁部をエッチングにより除去する工程と、

該絶縁膜をマスクとして該垂直共振器型面発光レーザの上部ブラッグ反射器をエッチングにより除去する工程とを備えた光電子集積回路の製造方法。

【請求項6】半導体基板と、

該半導体基板上に被着された半導体多層膜を有する垂直共振器型面発光レーザと、

該半導体基板上に被着されたn型導電性を持つAlGaAsからなるエミッタ層と、p型導電性を持つGaAsからなるベース層と、該ベース層と接合している部分がn

型導電性を持つAlAsであり、残りの層がn型導電性を持つGaAsであるコレクタ層とを有するヘテロ接合バイポーラトランジスタとを備えた光電子集積回路において、

該コレクタ層中のAlAsの周縁部が酸化されている光電子集積回路。

【請求項7】半導体基板と、

該半導体基板上に被着された半導体多層膜を有する垂直共振器型面発光レーザと、

10 該半導体基板上に被着されたn型導電性を持つAlGaAsからなるエミッタ層と、p型導電性を持つGaAsからなるベース層と、該ベース層と接合している部分がn型導電性を持つAlAsであり、残りがn型導電性を持つGaAsであるコレクタ層を有するヘテロ接合バイポーラトランジスタとを備えた光電子集積回路において、該コレクタ層中のn型導電性を持つAlAsの面積が該ベース層の面積より小さい光電子集積回路。

【請求項8】コレクタ層中のAlAsにかえてAlGaAsを用いた請求項6または7に記載の光電子集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、垂直共振器型面発光レーザとヘテロ接合バイポーラトランジスタとを備えた光電子集積回路およびその製造方法に関する。

【0002】

【従来の技術】従来の垂直共振器型面発光レーザとヘテロ接合バイポーラトランジスタからなる光電子集積回路には、例えばフォトニック・テクノロジー・レターズ第5巻、9号、1035ページから1038ページ（1993年）（Photon. Technol. Lett. Vol. 5, No. 9, p. 1035-1038 (1993)）に記載されている例がある。

【0003】この光電子集積回路について説明する。GaAs基板上に垂直共振器型面発光レーザ（以下、VCSEL）およびGaAs/AlGaAs系ヘテロ接合バイポーラトランジスタ（以下、HBT）をこの順に結晶成長した層構造をしている。VCSELは、その上のHBT層をウェットエッチングにより除去されて形成され、レーザ光はHBTが除去されて開口された面から射出する。前記VCSELと隣接した位置にHBTが形成されており、これらのVCSELとHBTは、イオン注入による高抵抗層で分離されている。VCSELのアノードとHBTのエミッタが配線で結ばれことで、これらは電氣的に直列につながれている。VCSELの出力光は、HBTにより変調される。またその電流増幅作用により、十数マイクロアンペア程度のベース電流でレーザ発振させることも可能である。

【0004】また、VCSELとHBTとを縦に積層した構造の光電子集積回路としては、特開平6-61580号公報、USP5283447号がある。

【0005】

【発明が解決しようとする課題】VCSELとそれを駆動するHBTとが集積されたデバイスが従来から提案されてはいるが、これらを同一基板上に集積する目的の一つは、VCSELからの出力光をHBTにより、高速で変調することである。HBT単体では100GHz以上の電流遮断周波数や最大発振周波数をもつものも報告されているが、電氣的に直列にVCSELがHBTに接続されたとき、VCSEL部分の抵抗のため、HBTの変調速度が制限され、光電子集積回路としての電流遮断周波数及び最大発振周波数はかなり低下する。

【0006】従来の技術では、エミッタと直列にVCSELが接続されているので光電子集積回路としての抵抗は170Ω～250Ωあり、エミッタ、ベース、コレクタのサイズから考えるとGHzオーダーの高速変調は期待できない。

【0007】そこで、本発明は上記従来の課題を解決し、HBTにVCSELが電氣的に直列に接続されている光電子集積回路において、ベース・コレクタ接合容量を低減することにより、VCSEL部分の抵抗による電流遮断周波数の低下を防止し、高速で変調可能な光電子集積回路を提供するものである。

【0008】

【課題を解決するための手段】上記の課題を解決するために、垂直共振器型面発光レーザとヘテロ接合バイポーラトランジスタが同一基板上に集積されている光電子集積回路において、以下に述べる4つの構成により課題を解決するものである。

【0009】第1の構成として、コレクタ層の周縁部、またはベース層の一部とコレクタ層の周縁部をイオン注入法等により高抵抗化し、ベース・コレクタ接合面積を低減する。それにより電流遮断周波数 f_T を大きくできるので、VCSELを高速に駆動することができる。

【0010】第2の構成として、第1の構成に加え、コレクタ層の厚さを500nm以上に設定することで、ベース電極と高抵抗層の下にある層との間で生じる容量を低減し、全体としてのベース・コレクタ接合容量を低減する。

【0011】第3の構成として、コレクタ層の周縁部を除去することでベース・コレクタ接合面積を低減し、これらの間の接合容量を低減する。

【0012】第4の構成として、コレクタ層中でベース層との界面にAlAs層を入れ、このAlAs層のみを選択的に酸化することで高抵抗化し、ベース・コレクタ接合容量を低減する。あるいは、前記AlAs層を酸またはアルカリで選択的に除去することでベース・コレクタ接合容量を低減する。

【0013】これらの手段により、いずれも光電子集積回路の高速駆動を実現することができる。

【0014】

【発明の実施の形態】以下、本発明の実施の形態について、図1から図8を用いて説明する。

【0015】（実施の形態1）図1に本発明における一実施の形態の光電子集積回路の断面図を示す。

【0016】 n -GaAs基板101上に p 型ブラッグ反射器102と、活性層103と、 n 型ブラッグ反射器104と、 n -GaAsからなるコレクタ層105と、 p -GaAsからなるベース層106と、 n -AlGaAsからなるエミッタ層107と、 n -GaAs層からなるキャップ層108を分子線エビタキシー法により結晶成長した後、アノード電極109、ベース電極1061、エミッタ電極1071を形成する。 p 型ブラッグ反射器102、活性領域103と n 型ブラッグ反射器104は面発光レーザ150を構成し、活性層103からの発光は、 p 型ブラッグ反射器102と n 型ブラッグ反射器104からなる共振器により、閉じ込められて増幅されレーザ発振に至る。面発光レーザ150からのレーザ光は、 n -GaAs基板101を通り n -GaAs基板101の裏面から出射される。

【0017】なお、前記 p 型ブラッグ反射器102は、図1(b)のように、 p -AlAs層1021と p -GaAs層1022を一对としたもの24.5対から構成される。 p -AlAs層1021と p -GaAs層1022の間には疑似グレーデッド層1023があり、組成が p -AlAsから p -Al_xGa_{1-x}As ($0 \leq x \leq 1$ で x が1から0へ向かう。)を経て p -GaAsへAl濃度が段階的に変化している。

【0018】前記 n 型ブラッグ反射器104は、図1(c)のように、 n -AlAs層1041と n -GaAs層1042を一对としたもの24.5対から構成される。 n -AlAs層1041と n -GaAs層1042には疑似グレーデッド層1043があり、組成が n -AlAsから n -AlGaAs ($0 \leq x \leq 1$ で x が1から0へ向かう。)を経て n -GaAsへAl濃度が段階的に変化している。

【0019】また、活性領域103は、アンドープIn_{0.2}Ga_{0.8}As活性層(8nm)を中心とし、その両側にアンドープGaAs(10nm)、さらにその両側にアンドープAl_{0.5}GaAs(50nm)を形成している。アンドープAlGaAsの両側には、 p 型ブラッグ反射器側には p -Al_{0.5}GaAs、 n 型ブラッグ反射器側には n -Al_{0.5}GaAsがそれぞれ80nmずつ形成されている。

【0020】 n -GaAsコレクタ層105、 p -GaAsベース層106、 n -Al_{0.3}Ga_{0.7}Asベース電極1061、エミッタ層107とエミッタ電極1071は、ヘテロ接合バイポーラトランジスタ151を構成する。高抵抗層110は、ベース層106とコレクタ層105の界面およびコレクタ層105の周縁部に形成されており、ベース・コレクタ接合容量を低減している。この高抵抗層110は、例えば、水素イオン注入または酸素イオン注入により形成される。

【0021】コレクタ層105と n 型ブラッグ反射器104は

5

それらの界面を接しており、ヘテロ接合バイポーラトランジスタ151と面発光レーザ150は、電氣的に直列に接続されている。このため、コレクタ電流が面発光レーザ150を駆動する電流となる。通常、面発光レーザ150のしきい電流は、2~3mAなので、ヘテロ接合バイポーラトランジスタ151の増幅作用により、例えば電流増幅率が100の場合、20~30 μ Aのベース電流で面発光レーザ150は、レーザ発振することになる。このように、非常に小さな信号電流をベース層106に加えることで、電流増幅作用により信号光としてのレーザ光が得られる。

【0022】我々の検討によれば、VCSELを高速に駆動させるためには、HBTの接合容量を低減させることが重要であることがわかったので、この点について述*

$$(式1) \quad f_T = 1/[2\pi \{re(C_{be} + C_{bc}) + (R_e + R_c)C_{bc} + \tau_b + \tau_c\}]$$

ここで、 re はエミッタ層とベース層が界面を接する部分の真性エミッタ抵抗、 R_e はエミッタ電極のコンタクト抵抗等を含んだ全エミッタ抵抗、 R_c はコレクタ抵抗、 τ_b はキャリアのベース走行時間、 τ_c はキャリアのコレクタ走行時間であり、通常、 re は5 Ω 以下、 τ_b は2ps、 τ_c は1ps程度である。 C_{be} 、 C_{bc} はそれぞれ(式2)、(式3)、(式4)、(式5)により表わされる。

【0025】

$$(式2) \quad C_{be} = Ae[\epsilon q N_{be}/2 (V_{bi} - V)]^{1/2}$$

$$(式3) \quad C_{bc} = Ab[\epsilon q N_{bc}/2 (V_{bi} - V)]^{1/2}$$

$$(式4) \quad N_{be} = N_b \cdot N_e / (N_b + N_e)$$

$$(式5) \quad N_{bc} = N_b \cdot N_c / (N_b + N_c)$$

ここで、 ϵ は誘電率、 q は電子の電荷量、 V_{bi} はビルトインポテンシャル、 V は接合部に加わる電圧、 N_e はエミッタ層のキャリア濃度、 N_b はベース層のキャリア濃度、 N_c はコレクタ層のキャリア濃度、 Ae はエミッタ面積、 Ab はベース面積である。ヘテロ接合バイポーラトランジスタの場合、ベース層のキャリア濃度は、エミッタ層、コレクタ層のキャリア濃度より一桁程度大きいので、(式4)、(式5)はそれぞれ(式6)、(式7)のように近似される。

$$【0026】(式6) \quad N_{be} \approx N_e$$

$$(式7) \quad N_{bc} \approx N_c$$

従って、(式2)、(式3)は、それぞれ(式8)、(式9)のように近似される。

$$【0027】(式8) \quad C_{be} = Ae[\epsilon q N_e/2 (V_{bi} - V)]^{1/2}$$

$$(式9) \quad C_{bc} = Ab[\epsilon q N_c/2 (V_{bi} - V)]^{1/2}$$

ベース電極の下側のベース層の一部とコレクタ層を高抵抗化あるいは除去することで空洞化する場合、ベース電極とコレクタ層の残った部分との間に容量が発生する。この容量は、通常のコンデンサと同じ式(式10)で表され、結局ベース・コレクタ接合容量は、(式9)、(式10)を用いて、(式11)で表されることになる。

$$【0028】(式10) \quad C = \epsilon S/d$$

ここで、 S はベース電極の面積、 d は高抵抗層あるいは空

6

*べる。まず、ヘテロ接合バイポーラトランジスタ151の電流遮断周波数 f_T について説明する。

【0023】面発光レーザ150とヘテロ接合バイポーラトランジスタ151が電氣的に直列に接続されている光電子集積回路において、面発光レーザ150は電流駆動されるため、高速変調を考える場合、パワー利得が1となる最大発振周波数を考えるよりも、電流利得が1となる電流遮断周波数について考えるほうが適当である。電流遮断周波数 f_T は、(式1)で表わされ、エミッタ・ベース接合容量 C_{eb} 及びベース・コレクタ接合容量 C_{bc} に反比例する。

【0024】

洞部分の厚さである。

【0029】

$$(式11) \quad C_{bc} \approx C_{int} + C_{ext}$$

$$= Ab[\epsilon q N_c/2 (V_{bi} - V)]^{1/2} + \epsilon S/d$$

(式11)において、右辺第1項を C_{int} 、第2項を C_{ext} と呼ぶことにする。

【0030】 C_{int} は、トランジスタとして動作するベース部、コレクタ部の容量であり、 C_{ext} は、高抵抗化した高抵抗層とベース部の容量である。

【0031】以上の説明より、電流遮断周波数 f_T を大きくするためには、 $C_{be} + C_{bc} + (R_e + R_c)C_{bc}$ を小さくしなければならない。このうち、 Re はエミッタ電極面積、エミッタ電極材料、およびコンタクト層材料により決まり、数 Ω から10数 Ω である。 R_c もヘテロ接合バイポーラトランジスタと面発光レーザが直列につながっている光電子集積回路の場合、面発光レーザの直列抵抗でほぼ決められ、10 Ω から数10 Ω の大きさとなる。従って、 f_T 向上のためには、 C_{be} と C_{bc} を低減する必要がある。特に、係数 $(R_e + R_c)$ がかかる C_{bc} を低減しなければならない。

【0032】そこで、本発明は、ベース層106とコレクタ層105の界面およびコレクタ層105の周縁部に高抵抗層110を形成することで、ベース・コレクタ接合面積を小さくし、 C_{bc} を小さくしている。これは(式11)において Ab の低減による C_{bc} の低減を意味する。この高抵抗層110は、エミッタ層107からなるエミッタメサ形成後、レジストマスクまたはAuマスクを形成し、ベース層106を通してイオン注入法で水素イオンまたは酸素イオンをコレクタ層105に注入し、高抵抗化して形成される。このとき、コレクタ層105と界面を接する部分のベース層106も一部高抵抗化される。

【0033】これにより、 C_{bc} を低減することができるので、実施の形態1で示した光電子集積回路を高速動作させることができる。

【0034】(実施の形態2)図2に本発明における一実施の形態の光電子集積回路の断面図を示す。本実施の形態は、実施の形態1とほぼ同じ構成ではあるが、コレ

クタ層の厚みを 500 nm にしている点が異なっている。

【0035】 n-GaAs 基板201上にp型ブラッグ反射器202と、活性層203と、n型ブラッグ反射器204と、n-GaAs からなるコレクタ層205と、p-GaAs からなるベース層206と、n-AlGaAs からなるエミッタ層207と、n-GaAs 層からなるキャップ層208を分子線エビタキシー法により結晶成長した後、アノード電極209、ベース電極2061、エミッタ電極2071を形成する。p型ブラッグ反射器202、活性層203とn型ブラッグ反射器204は面発光レーザ250を構成し、活性層203からの発光は、p型ブラッグ反射器202とn型ブラッグ反射器204からなる共振器により、閉じ込められて増幅されレーザ発振に至る。面発光レーザ250からのレーザ光は、n-GaAs 基板201を通り n-GaAs 基板201の裏面から出射される。

【0036】 なお、前記p型ブラッグ反射器202は、p-AlAs 層2021とp-GaAs 層2022を一对としたもの24.5対からなる。p-AlAs 層2021とp-GaAs 層2022の間には疑似グレーデッド層2023があり、組成がp-AlAs から p-AlGaAs を経て p-GaAs へ Al 濃度が段階的に変化している。前記n型ブラッグ反射器204は、n-AlAs 層2041とn-GaAs 層2042を一对としたもの24.5対から構成される。n-AlAs 層2041とn-GaAs 層2042には疑似グレーデッド層2043があり、組成がn-AlAs から n-AlGaAs を経て n-GaAs へ Al 濃度が段階的に変化している。

【0037】 コレクタ層205、ベース層206、ベース電極2061、エミッタ層207とエミッタ電極2071は、ヘテロ接合バイポーラトランジスタ251を構成する。コレクタ層205の厚さは、500 nm の厚さである。高抵抗層210は、ベース層206とコレクタ層205の界面およびコレクタ層205の周縁部に形成されており、ベース・コレクタ接合容量を低減している。この高抵抗層210は、実施の形態1において述べたような方法で形成される。

【0038】 通常、ヘテロ接合バイポーラトランジスタ単体の場合、コレクタ層が厚いと高fT化に不利なためコレクタ層205は500nm以上にしない。コレクタ走行時間 τ_c が大きくなるからである。(式1)において、 τ_c はせいぜい2psの大きさであり、コレクタ層205を数100nm大きくしたところで、倍の4psにもならない。ところが、本実施の形態の場合、ヘテロ接合バイポーラトランジスタ251に面発光レーザ250が直列に接続されているので、係数 $(R_e + R_c)$ は、数10 Ω となり、これがかかる C_{bc} を低減する方がより効果的である。

【0039】 (式11)において、 C_{int} と C_{ext} に分けて考える。 C_{int} を減らすためにはベース面積 A_b を減らせばよい。これは高抵抗層210により、ベース・コレクタ接合面積を小さくすることで実現される。一方、 C_{ext} は、高抵抗層210の厚さ d を大きくしなければならないことが

(式11)から判る。これは、コレクタ層205の厚さを大きくすることを意味する。

【0040】 尚、本実施例において、コレクタ層205の厚さは500nmとしたが、500nm以上であればよく、 C_{bc} を低減することができる。

【0041】 (実施の形態3) 図3に本発明における一実施の形態の光電子集積回路の断面図を示す。この実施の形態は、コレクタ層を除去して C_{bc} を低減した構成としている。

【0042】 n-GaAs 基板301上にp型ブラッグ反射器302と、活性層233と、n型ブラッグ反射器304と、n-GaAs からなるコレクタ層305と、p-GaAs からなるベース層306と、n-AlGaAs からなるエミッタ層307と、n-GaAs 層からなるキャップ層308を分子線エビタキシー法により結晶成長した後、アノード電極309、ベース電極3061、エミッタ電極3071を形成する。p型ブラッグ反射器302、活性層303とn型ブラッグ反射器304は面発光レーザ350を構成し、活性層303からの発光は、p型ブラッグ反射器302とn型ブラッグ反射器304からなる共振器により、閉じ込められて増幅されレーザ発振に至る。面発光レーザ350からのレーザ光は、n-GaAs 基板301を通り n-GaAs 基板301の裏面から出射される。

【0043】 なお、前記p型ブラッグ反射器302は、p-AlAs 層3021とp-GaAs 層3022を一对としたもの24.5対からなる。

【0044】 p-AlAs 層3021とp-GaAs 層3022の間には疑似グレーデッド層3023があり、組成がp-AlAs から p-AlGaAs を経て p-GaAs へ Al 濃度が段階的に変化している。前記n型ブラッグ反射器304は、n-AlAs 層3041とn-GaAs 層3042を一对としたもの24.5対から構成される。n-AlAs 層3041とn-GaAs 層3042には疑似グレーデッド層3043があり、組成がn-AlAs から n-AlGaAs を経て n-GaAs へ Al 濃度が段階的に変化している。

【0045】 コレクタ層305、ベース層306、ベース電極3061、エミッタ層307とエミッタ電極3071は、ヘテロ接合バイポーラトランジスタ351を構成する。前記コレクタ層305の面積は、前記ベース層306の面積および前記n型ブラッグ反射器304より小さい。つまり、前記ベース層306の周縁部直下は空洞となっており、コレクタ層305の面積とベース層306の面積が等しい場合に比べ、(式11)での A_b が小さくなり、 C_{bc} も小さくなる。つまり、(式1)からfTの増大が期待される。さらに、前記コレクタ層305の厚さを500nm以上にすれば、(式11)の C_{ext} の低減も実現され、 C_{bc} の低減にはさらに効果的である。

【0046】 なお、本実施の形態において、前記コレクタ層305の面積は、前記n型ブラッグ反射器304の面積より小さいとしたが、同じ面積であっても構わない。ま

た、前記空洞部分は、空気で満たされている方が、誘電率から考えて、Cextの低減には有利であるが、樹脂、SiO₂、SiN等で満たしても構わない。これらの材料は、コレクタ層305の材料である半導体材料よりも、誘電率が小さく、実施の形態1及び2で述べた場合のように高抵抗層とするよりもさらにCextの低減が期待される。

【0047】本実施例における光電子集積回路の製造方法を図4を用いて説明する。n-GaAs基板401上に分子線エピタキシー法または有機金属気相成長法でp型ブラッグ反射器402と、活性層403と、n型ブラッグ反射器404と、コレクタ層405と、ベース層406と、エミッタ層407と、キャップ層408をこの順に成長する(図4a)。p型ブラッグ反射器402、活性層403とn型ブラッグ反射器404は垂直共振器型面発光レーザ450を構成する。コレクタ層405、ベース層406、エミッタ層407とキャップ層408はヘテロ接合バイポーラトランジスタ451を構成する。

【0048】次にSiN膜409を500nm以上堆積し、所定の形状に加工する。硫酸、過酸化水素水、水の混合液のウェットエッチングによるエミッタメサ415の形成、レジスト400の基板全面への塗布に続いて、酸素プラズマ処理を行って、SiN膜409上のレジストのみをエッチバックする(図4b)。フッ化水素酸でSiN膜409を除去し、エミッタ電極410を蒸着し、リフトオフする(図4c)。

【0049】SiO₂膜411を堆積し、所定の形状に加工した後、ウェットエッチングによりコレクタ層405を露出する(図4d)。この工程でベースメサ412が形成される。SiO₂膜411を除去し、再びSiO₂膜413を500nm以上堆積し、所定の形状に加工する。この時、SiO₂膜413の面積は、ベースメサ412の面積よりも大きくする(図4e)。

【0050】硫酸、過酸化水素水、水からなる混合液によるウェットエッチングでn型ブラッグ反射器404最上層であるAlAs層までエッチングし、コレクタメサ414を形成する(図4f)。引き続き、側面が露出したコレクタ層405をクエン酸、過酸化水素水、水からなる混合液でサイドエッチングを入れ、ベースメサ412の面積より小さくする(図4g)。ここまでの工程でヘテロ接合バイポーラトランジスタ451が形成される。

【0051】SiO₂膜413を再びマスクとして、塩素ガスを用いたリアクティブイオンエッチングし、n型ブラッグ反射器404、活性層403を除去する。前記リアクティブイオンエッチングは、活性層403の直下で停止し、p型ブラッグ反射器402はエッチングしない。この工程で垂直共振器型面発光レーザ450が形成される。最後に、SiO₂膜413を除去後、アノード電極416を蒸着する(図4h)。

【0052】なお、本実施の形態における製造方法で、ベースメサ414の形成およびコレクタ層405のエッチング

に硫酸、過酸化水素水、水の混合液によるウェットエッチングを用いたが、塩素ガスによるリアクティブイオンエッチングあるいはリアクティブイオンビームエッチングも用いても構わない。

【0053】(実施の形態4) 図5に本発明における一実施の形態の光電子集積回路の断面図を示す。本実施の形態では、コレクタ層の一部にAlAs層を用い、この層を酸化させることでCbcを低減している。

【0054】n-GaAs基板501上にp型ブラッグ反射器502と、活性層503と、n型ブラッグ反射器504と、n-GaAsからなる第1のコレクタ層505と、n-AlAsからなる第2のコレクタ層506と、p-GaAsからなるベース層507と、n-AlGaAsからなるエミッタ層508と、n-GaAs層からなるキャップ層509を分子線エピタキシー法により結晶成長した後、アノード電極510、ベース電極5071、エミッタ電極5081を形成する。p型ブラッグ反射器502、活性層503とn型ブラッグ反射器504は面発光レーザ550を構成し、活性層503からの発光は、p型ブラッグ反射器502とn型ブラッグ反射器504からなる共振器により、閉じ込められて増幅されレーザ発振に至る。面発光レーザ550からのレーザ光は、n-GaAs基板601を通りn-GaAs基板501の裏面から出射される。

【0055】なお、前記p型ブラッグ反射器602は、p-AlAs層5021とp-GaAs層5022を一对としたものの2.4.5対からなる。p-AlAs層5021とp-GaAs層5022の間には疑似グレーデッド層5023があり、組成がp-AlAsからp-AlGaAsを経てp-GaAsへAl濃度が段階的に変化している。前記n型ブラッグ反射器504は、n-AlAs層5041とn-GaAs層5042を一对としたものの2.4.5対から構成される。n-AlAs層5041とn-GaAs層5042には疑似グレーデッド層5043があり、組成がn-AlAsからn-AlGaAsを経てn-GaAsへAl濃度が段階的に変化している。

【0056】コレクタ層505および506、ベース層507、ベース電極5061、エミッタ層508とエミッタ電極5081は、ヘテロ接合バイポーラトランジスタ551を構成する。第2のコレクタ層506の周縁部は酸化されて、AlAsOx層511となっている。AlAsOx層511の形成により、コレクタ・ベース接合面積Cbcが小さくなり、(式1)からfTが増大する。

【0057】コレクタ層中にGaAs/AlAsのヘテロ界面によるコレクタ抵抗の増加が数Ω程度考えられるが、本実施の形態では、コレクタ層605に直列に面発光レーザ550がつながっており、この部分の抵抗が数10Ωあるため、コレクタ抵抗の増加によるfTの減少より、Cbc低減によるfT増加の方が効果的である。

【0058】ここで、本実施の形態における光電子集積回路に製造方法について図6を用いて説明する。

【0059】n-GaAs基板601上に分子線エピタキシー法または有機金属気相成長法でp型ブラッグ反射器

11

602と、活性層603と、n型ブラッグ反射器604と、n-GaAsからなるコレクタ層605と、n-AlAsからなるコレクタ層606と、ベース層607と、エミッタ層608と、キャップ層609をこの順に成長する(図6a)。p型ブラッグ反射602、活性層603とn型ブラッグ反射器604は垂直共振器型面発光レーザ650を構成する。コレクタ層605と606、ベース層607、エミッタ層608とキャップ層609はヘテロ接合バイポーラトランジスタ651を構成する。

【0060】硫酸、過酸化水素水、水の混合液により、エミッタメサ652を、クエン酸、過酸化水素水、水の混合液よりベースメサ653をそれぞれ形成する。エミッタメサ652上にはエミッタ電極6521が、ベースメサ653上にはベース電極6531がそれぞれ形成されている(図6b)。

【0061】SiO₂膜610を500nm以上堆積し、所定の形状に加工する。この時、SiO₂膜610の面積は、ベースメサ653の面積以上にする。硫酸、過酸化水素水、水からなる混合液によりコレクタ層605と606をエッチングする(図6c)。この状態で、本実施の形態におけるn-GaAs基板701を400℃の炉に入れ、85℃に保った純水中でバブリングした窒素ガスを前記の炉に導入する。この時、炉に導入された窒素ガスは多量の水蒸気を含んでおり、n-AlAsからなるコレクタ層606のみを選択的に酸化し、周縁部にAlAsO_x層612を形成する(図6d)。

【0062】SiO₂膜610を再びマスクとして、塩素ガスを用いたリアクティブイオンエッチングし、n型ブラッグ反射器604、活性層603を除去する。前記リアクティブイオンエッチングは、活性層703の直下で停止し、p型ブラッグ反射器602はエッチングしない(図6e)。この工程で垂直共振器型面発光レーザ650が形成される。最後に、アノード電極611を蒸着する。

【0063】なお、本実施の形態における製造方法で、エミッタメサ652、ベースメサ653の形成およびコレクタ層605、06のエッチングに硫酸、過酸化水素水、水の混合液またはクエン酸、過酸化水素水、水の混合液によるウェットエッチングを用いたが、塩素ガスによるリアクティブイオンエッチングあるいはリアクティブイオンビームエッチングも用いても構わない。また、コレクタ層606の厚さは10nm以上あれば選択酸化は内部まで進行する。さらに、コレクタ層606の組成をn-AlAsにかえてn-AlGaAsとしても構わない。

【0064】(実施の形態5)図7に本発明における一実施の形態の光電子集積回路の断面図を示す。

【0065】n-GaAs基板701上にp型ブラッグ反射器702と、活性層703と、n型ブラッグ反射器704と、n-GaAsからなる第1のコレクタ層705と、n-AlAsからなる第2のコレクタ層706と、p-GaAsからなるベース707と、n-AlGaAsからなるエミッタ層708と、n-GaAs層からなるキャップ層709を分子線エピタキシー法により結晶成長した後、アノード電極710、ベース電

12

極7071、エミッタ電極7081を形成する。p型ブラッグ反射器702、活性層703とn型ブラッグ反射器704は面発光レーザ750を構成し、活性層703からの発光は、p型ブラッグ反射器702とn型ブラッグ反射器704からなる共振器により、閉じ込められて増幅されレーザ発振に至る。面発光レーザ750からのレーザ光は、n-GaAs基板701を通りn-GaAs基板701の裏面から出射される。

【0066】なお、前記p型ブラッグ反射器702は、p-AlAs層7021とp-GaAs層7022を一对としたもの24.5対からなる。p-AlAs層7021とp-GaAs層7022の間には疑似グレーデッド層7023があり、組成がp-AlAsからp-AlGaAsを経てp-GaAsへAl濃度が段階的に変化している。前記n型ブラッグ反射器704は、n-AlAs層7041とn-GaAs層7042を一对としたもの24.5対から構成される。n-AlAs層7041とn-GaAs層7042には疑似グレーデッド層7043があり、組成がn-AlAsからn-AlGaAsを経てn-GaAsへAl濃度が段階的に変化している。

【0067】コレクタ層705および706、ベース層707、ベース電極7061、エミッタ層708とエミッタ電極7081は、ヘテロ接合バイポーラトランジスタ751を構成する。第2のコレクタ層706の周縁部は除去されて、ベース層707の面積より小さくなっている。これにより、コレクタ・ベース接合面積Cbcが小さくなり、(式1)からfTが増大する。

【0068】第1、第2のコレクタ層中にGaAs/AlAsのヘテロ界面によるコレクタ抵抗の増加が数Ω程度考えられるが、本実施の形態では、コレクタ層705に直列に面発光レーザ750がつながっており、この部分の抵抗が数10Ωあるため、コレクタ抵抗の増加によるfTの減少より、Cbc低減によるfT増加の方が効果的である。

【0069】ここで、本実施の形態における光電子集積回路に製造方法について図8を用いて説明する。

【0070】n-GaAs基板801上に分子線エピタキシー法または有機金属気相成長法でp型ブラッグ反射器802と、活性層803と、n型ブラッグ反射器804と、n-GaAsからなるコレクタ層805と、n-AlAsからなるコレクタ層806と、ベース層807と、エミッタ層808と、キャップ層809をこの順に成長する(図8a)。p型ブラッグ反射802、活性層803とn型ブラッグ反射器804は垂直共振器型面発光レーザ850を構成する。コレクタ層805と806、ベース層807、エミッタ層808とキャップ層809はヘテロ接合バイポーラトランジスタ851を構成する。

【0071】硫酸、過酸化水素水、水の混合液により、エミッタメサ852を、クエン酸、過酸化水素水、水の混合液により、ベースメサ853を形成する。エミッタメサ852上にはエミッタ電極8521が、ベースメサ853上にはベース電極8531がそれぞれ形成されている(図8b)。

【0072】SiO₂膜810を500nm以上堆積し、所定の形状に加工する。この時、SiO₂膜810の面積は、ベ

13

ースメサ853の面積以上にする。硫酸、過酸化水素水、水からなる混合液によりコレクタ層805と806をエッチングする(図8c)。この状態でフッ化水素酸に浸漬し、n-AlAsからなるコレクタ層806の周縁部を除去し、ベース層807の面積より小さくする(図8d)。

【0073】SiO₂膜810を再びマスクとして、塩素ガスを用いたリアクティブイオンビームエッチングし、n型ブラッグ反射器804、活性層803を除去する。前記リアクティブイオンビームエッチングは、活性層803の直下で停止し、p型ブラッグ反射器802はエッチングしない(図8e)。この工程で垂直共振器型面発光レーザ850が形成される。最後に、アノード電極811を蒸着する。

【0074】なお、本実施の形態における製造方法で、エミッタメサ852、ベースメサ853の形成およびコレクタ層805、806のエッチングに硫酸、過酸化水素水、水の混合液またはクエン酸、過酸化水素水、水の混合液によるウェットエッチングを用いたが、塩素ガスによるリアクティブイオンエッチングあるいはリアクティブイオンビームエッチングも用いても構わない。また、コレクタ層806の組成をn-AlAsにかえてn-AlGaAsとしても構わな

【0075】

【発明の効果】以上のように本発明によれば、コレクタ層の一部を高抵抗化すること、あるいはコレクタ層の面積をベース層の面積より小さくすることで、ベース・コレクタ接合面積を低減し、その結果、電流遮断周波数 f_T を増大させることができる。それにより、面発光レーザとヘテロ接合バイポーラトランジスタが同一基板上で集積された光電子集積回路の高速駆動が実現される。

【図面の簡単な説明】

14

【図1】本発明の一実施の形態における光電子集積回路の断面図

【図2】本発明の一実施の形態における光電子集積回路の断面図

【図3】本発明の一実施の形態における光電子集積回路の断面図

【図4】本発明の一実施の形態における光電子集積回路の工程断面図

【図5】本発明の一実施の形態における光電子集積回路の断面図

【図6】本発明の一実施の形態における光電子集積回路の工程断面図

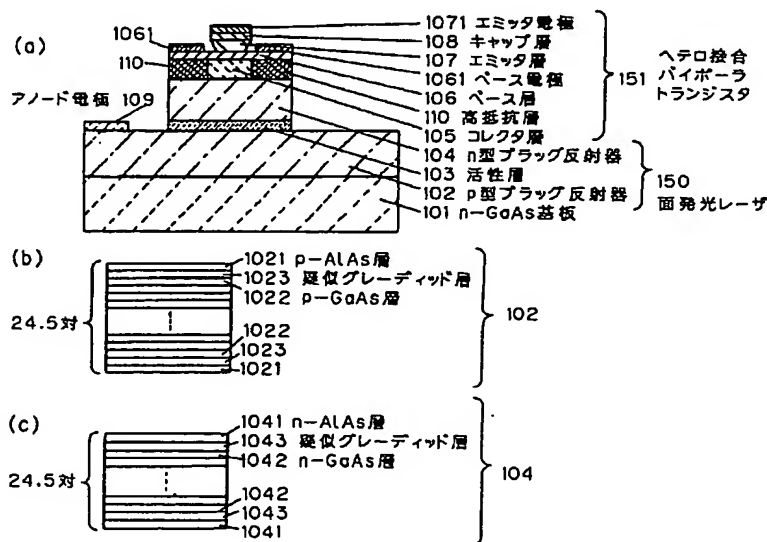
【図7】本発明の一実施の形態における光電子集積回路の断面図

【図8】本発明の一実施の形態における光電子集積回路の工程断面図

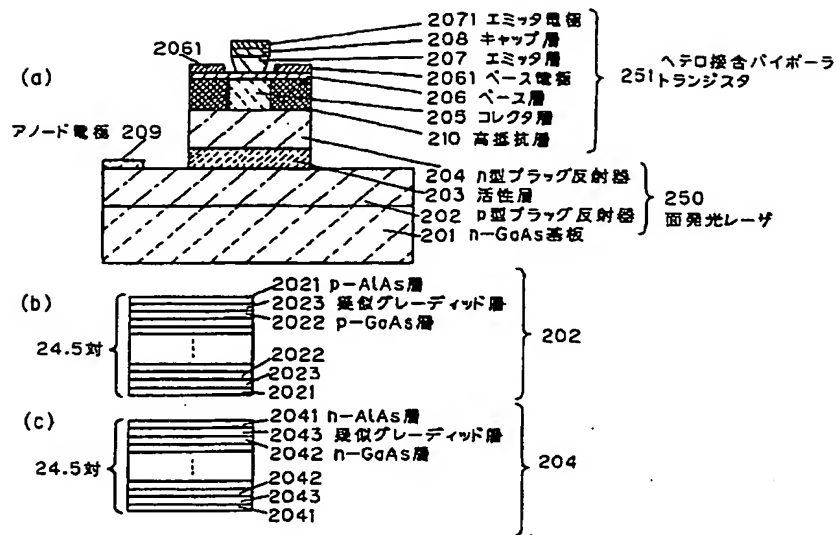
【符号の説明】

- 101 n-GaAs基板
- 102 p型ブラッグ反射器
- 103 活性層
- 104 n型ブラッグ反射器
- 105 コレクタ層
- 106 ベース層
- 107 エミッタ層
- 108 キャップ層
- 110 高抵抗層
- 506 n-AlAsコレクタ層
- 511 AlAsOx層
- 706 n-AlAsコレクタ層
- 806 n-AlAsコレクタ層

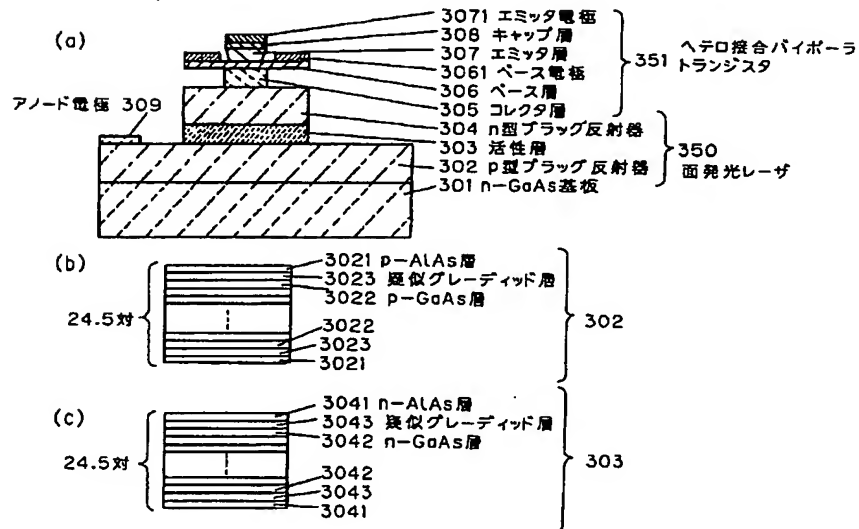
【図1】



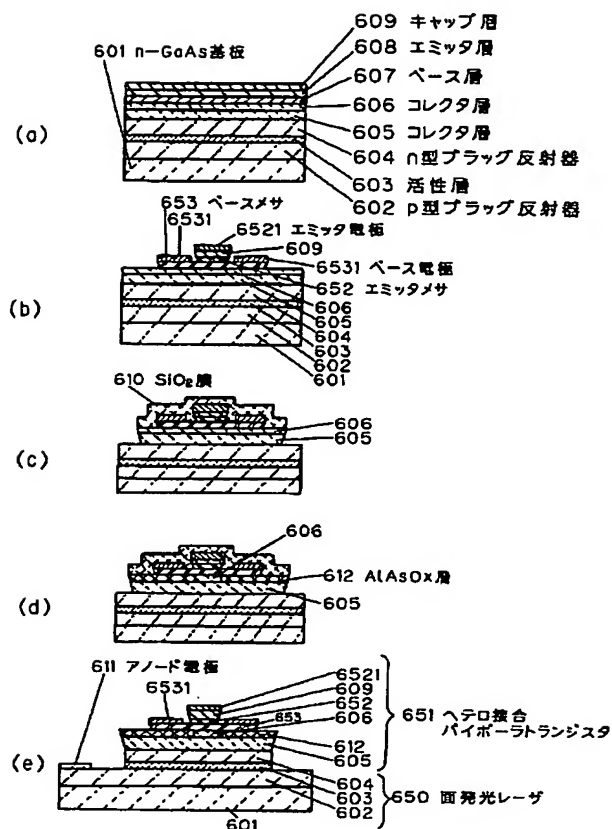
【図2】



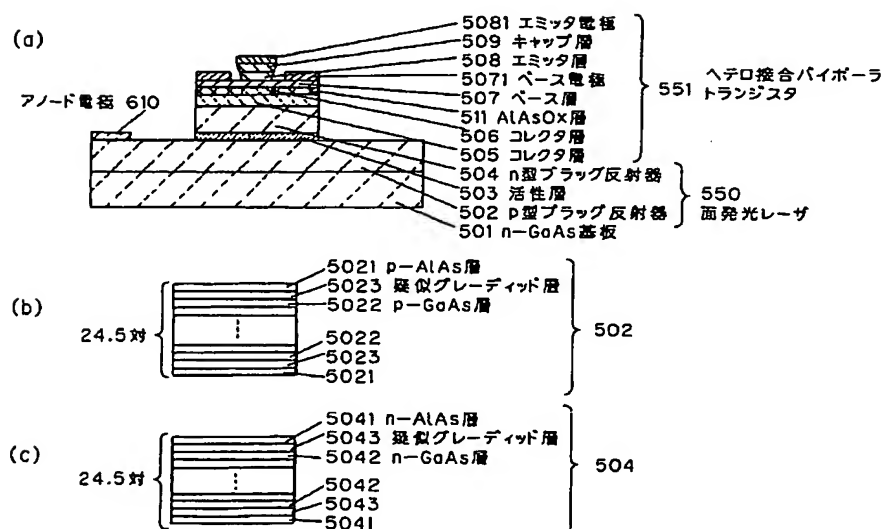
【図3】



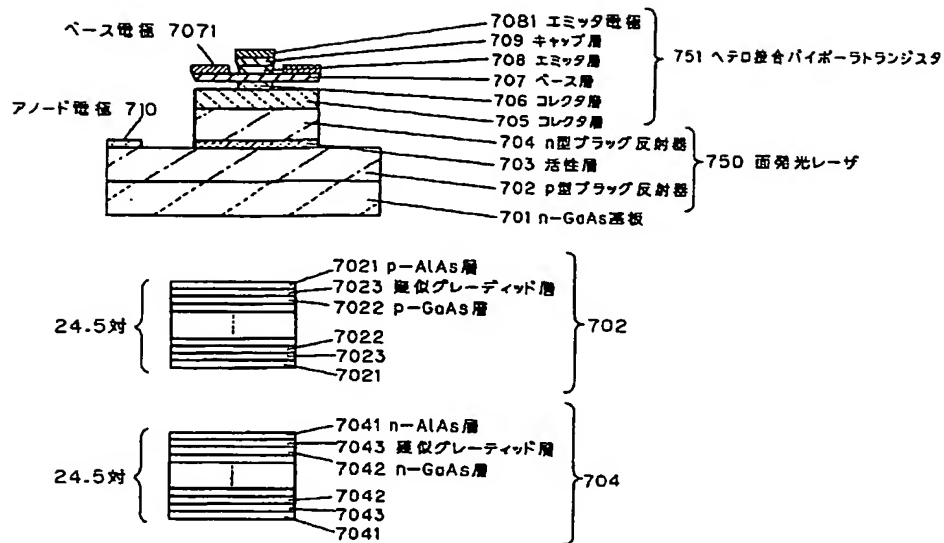
【図 6】



【圖 5】



【図7】



【図8】

